

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-74322

(43) 公開日 平成7年(1995)3月17日

| | | | | |
|---------------------------|-----------------|----------------|---------|--------|
| (51) Int.Cl. ⁶ | 識別記号 | 序内整理番号 | F I | 技術表示箇所 |
| H 0 1 L 27/04 | | | | |
| 21/822 | | | | |
| G 0 9 G 3/36 | | | | |
| | 8832-4M | H 0 1 L 27/ 04 | D | |
| | 9170-4M | 27/ 08 | 3 2 1 F | |
| | 審査請求 未請求 請求項の数3 | FD (全 5 頁) | 最終頁に続く | |

(21) 出願番号 特願平5-239004

(22) 出願日 平成5年(1993)8月31日

(71) 出願人 000003193

凸版印刷株式会社

東京都台東区台東1丁目5番1号

(72) 発明者 陳 曉翔

東京都台東区台東一丁目5番1号 凸版印

刷株式会社内

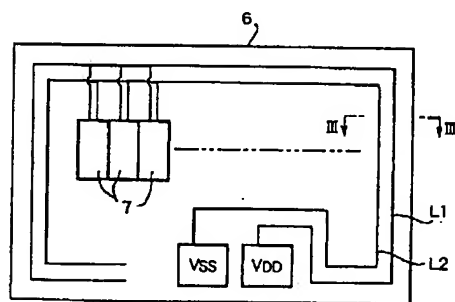
(74) 代理人 弁理士 横川 邦明

(54) 【発明の名称】 CMOSインバータを備えた集積回路

(57) 【要約】

【目的】 液晶ディスプレイ (LCD) 等といった駆動対象物の全体としての応答を遅らせることなく、電源の出力電圧に関してノイズ発生を低減する。

【構成】 シリコンウェーハ基板6上に形成された第1電源アルミニウム線L1及び第2電源アルミニウム線L2を電源とするCMOSインバータ7を複数個備えた集積回路である。第1電源アルミニウム線L1と第2電源アルミニウム線L2とは互いに平行に引き回される。両線L1及びL2の間に形成されるコンデンサの働きによってローパスフィルタを構成して電源ノイズを低減する。



【特許請求の範囲】

【請求項1】 第1電源ラインに接続されるPMOSTランジスタと、第2電源ラインに接続されるNMOSTランジスタとを有するCMOSインバータを複数個備えた集積回路において、

第1電源ラインと第2電源ラインとを互いに平行に引き回したことを特徴とするCMOSインバータを備えた集積回路。

【請求項2】 第2電源ラインの両側に第1電源ラインを平行に配置したことを特徴とする請求項1記載のCMOSインバータを備えた集積回路。

【請求項3】 第1電源ラインのまわりを絶縁層を挟んで第2電源ラインで被覆したことを特徴とする請求項1記載のCMOSインバータを備えた集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、PMOSTランジスタとNMOSTランジスタとを結合して成るCMOSインバータを複数個備えた集積回路に関する。

【0002】

【従来の技術】 昨今、コンピュータのCPU、A/Dコンバータ、液晶デバイス(LCD)駆動回路、その他種々の電子機器にCMOSインバータが使用されている。このCMOSインバータにおいては、その入力信号が切り替わるときに貫通電流が流れることが知られている。この貫通電流とは、PチャネルトランジスタとNチャネルトランジスタとが同時にONになることにより、第1電源V₁が印加されているPチャネルトランジスタのソースから、第2電源V₂が印加されているNチャネルトランジスタのソースに向かって電流が流れることである。但し、V₁>V₂である。貫通電流が流れると、第1電源及び第2電源の出力電圧にノイズが発生し、ノイズによる誤動作が発生するおそれがある。

【0003】 例えば、LCD駆動回路を考えた場合、通常LCDには多数のインバータが付随しており、これらのインバータの全てが一斉に切り替わると、全てのインバータに貫通電流が流れ、それに起因する電源の出力電圧のノイズは著しく大きくなる。貫通電流に起因するこのノイズ発生を防止する手段として、従来、以下の3つの方法が多く用いられている。

【0004】 ① 個々のインバータの切り替わる時間に時間差を設ける。具体的には、一部のインバータの入力の前段に抵抗を挿入して、そのインバータの入力部に入力信号が到達する時間を遅らせる。

【0005】 ② 拡散層上で、すなわちPチャネルトランジスタ及びNチャネルトランジスタ上で、ゲートのポリシリコン層を蛇行させる。蛇行している部分に順次に信号が到達し、貫通電流が順次小分けに流れるので、発生するノイズが小さくて済む。

【0006】 ③ インバータの入力を Slow Rate 方式

とする。例えば、本出願人の出願に係る特願平4-289441号に開示されているように、インバータのPチャネルトランジスタ及びNチャネルトランジスタの各々のゲートの前段に、さらにインバータを設け、PチャネルトランジスタとNチャネルトランジスタが同時にONになることがないようにする。

【0007】

【発明が解決しようとする課題】 しかしながら、上記の各ノイズ発生防止手段によれば、インバータに対して貫通電流の防止あるいは低減を達成することが可能となるが、いずれの方法でも、LCDパネル全体で見ると応答が遅くなるという問題点がある。

【0008】 本発明は、その問題点を解消するためになされたものであって、LCD等といった駆動対象物の全体としての応答を遅らせることなく、電源の出力電圧に関してノイズ発生を低減することを目的とする。

【0009】

【課題を解決するための手段】 上記の目的を達成するため、本発明に係るCMOSインバータを備えた集積回路は、第1電源ラインに接続されるPMOSTランジスタと、第2電源ラインに接続されるNMOSTランジスタとを有するCMOSインバータを複数個備えた集積回路において、第1電源ラインと第2電源ラインとを互いに平行に引き回すことを特徴としている。

【0010】 この場合、第1電源と第2電源とを1本ずつ平行に引き回すのではなくて、第2電源ラインの両側に第1電源ラインを平行に配置することができる。また、第1電源ラインのまわりを絶縁層を挟んで第2電源ラインで被覆することができる。第1電源ライン及び第2電源ラインはいずれも、例えばアルミニウム配線によって構成できる。

【0011】

【作用】 第1電源ラインと第2電源ラインとを互いに平行に配線することにより、いわゆるフリンジング効果による寄生容量の存在を利用して、両ラインにコンデンサの役割を持たせ、LCフィルタ(ローパスフィルタ)と同等の機能を付与し、それによりノイズを吸収して低減する。インバータに流れる貫通電流に起因して種々の周波数成分を含むノイズが発生しても、上記の平行ライン配線において機能するローパスフィルタにより、高周波成分が除去されるので、ノイズが低減される。

【0012】

【実施例】 図6は、本発明に係るCMOSインバータを備えた集積回路をLCDの駆動用として用いた場合の実施例を示している。このLCD1は、液晶パネル2と、それに実装された複数のインバータ駆動ユニット3とを有している。各インバータ駆動ユニット3は、TAB(Tape Automated Bonding)によってプラスチックフィルム4上に実装されたLCD駆動用集積回路5を有している。

【0013】LCD駆動用集積回路5は、図1に示すように、IC基板であるシリコンウエーハ6上に形成された複数のCMOSインバータ7と、これらのインバータ7の電源となる第1電源VDD及び第2電源VSSとを有している。第1電源VDDは例えば+5Vに設定され、第2電源VSSは例えばアースに設定されている。第1電源VDDから伸びる電源ライン、すなわちアルミニウム線L1及び第2電源VSSから伸びる電源ライン、すなわちアルミニウム線L2は、所定の間隔をあけて互いに平行を維持した状態でシリコンウエーハ6上で引き回され、それらのアルミニウム線L1、L2に各CMOSインバータ7の引出線が接続されている。図3に示すように、シリコンウエーハ6上に互いに平行に形成された第1電源アルミニウム線L1及び第2電源アルミニウム線L2は酸化膜10によって被覆されることにより、相互の絶縁及びホコリ等からの保護が図られている。

【0014】各CMOSインバータ7は、いずれも周知の構成から成っており、例えば図2に示すように、Pチャネルエンハンスメント形のFET（電解効果形トランジスタ）8とNチャネルエンハンスメント形のFET9とを互いに接合することによって形成されている。Pチャネルトランジスタ8のソースSにはアルミニウム線L1から第1電源VDDが印加され、Nチャネルトランジスタ9のソースSにはアルミニウム線L2から第2電源VSSが印加されている。当然のことながら、 $VDD > VSS$ である。

【0015】CMOSインバータ7は以上のように構成されているので、Pチャネルトランジスタ8及びNチャネルトランジスタ9のゲートGに所定の電圧V1が印加されると、Pチャネルトランジスタ8がOFF、そしてNチャネルトランジスタ9がONとなり、各トランジスタ8、9の共通ドレインDの電圧VOUTはVSSとなる。一方、各トランジスタ8、9のゲートGにV1と異なる他の電圧V2が印加されると、Pチャネルトランジスタ8がON、そしてNチャネルトランジスタ9がOFFとなり、各トランジスタ8、9の共通ドレインDの電圧VOUTはVDDに切り替わる。こうして、入力電圧VINを変化させることにより、負荷である液晶パネルの電極に印加する電圧をVDDとVSSとの間で切り替えて、液晶パネルを駆動する。

【0016】各CMOSインバータ7に関しては、Pチャネルトランジスタ8とNチャネルトランジスタ9とがON/OFFの間で切り替わるときに両トランジスタ8、9との間に貫通電流が流れる。CMOSインバータ7は多数個設けられており、これらが一斉にON/OFFすると過大な貫通電流が流れ、それに依りて電源ノイズが発生するおそれがある。しかしながら本実施例では、電源アルミ線L1及びL2を互いに平行に配線するので、それらがコンデンサとして働いてLCフィルタ（ローパスフィルタ）が構成され、その結果、電源ノ

イズを低減できる。

【0017】図4は、電源アルミニウム線L1及びL2の改変例を示している。この例では、第1電源アルミニウム線L1が2本平行に形成され、その間に第2電源アルミニウム線L2がそれらと平行に形成され、そして酸化膜10によってそれら各線L1、L2が被覆されている。この実施例によれば、第1電源アルミニウム線L1と第2電源アルミニウム線L2との間に、より大きなキャパシタンスが形成されるので、より大きなノイズ低減効果を期待できる。

【0018】図5は、電源アルミニウム線L1及びL2の他の改変例を示している。この例では、第1電源アルミニウム線L1が2本平行に形成され、それらが個々に酸化膜10によって被覆され、さらにそれらの全体が第2電源アルミニウム線L2によって被覆されている。この例によれば、キャパシタンスをより一層大きく設定できる。

【0019】以上、好ましい幾つかの実施例をあげて本発明を説明したが、本発明はその実施例に限定されるものではなく、請求の範囲に記載した技術的範囲内で種々に改変できる。

【0020】例えば、本発明に係るCMOSインバータを備えた集積回路は、LCDのための駆動用に限られず、コンピュータのCPU、A/Dコンバータ、その他種々の出力システムに適用できる。

【0021】

【発明の効果】本発明によれば、第1電源ラインと第2電源ラインとの間に形成されるコンデンサの働きにより、CMOSインバータに貫通電流が流れたときに電源ラインに発生するノイズを低減でき、しかも、LCD等といった駆動対象物の全体としての応答を遅らせることがない。

【0022】請求項2及び請求項3記載の集積回路によれば、第1電源ラインと第2電源ラインとの間に形成されるコンデンサのキャパシタンスをより大きく設定できる。

【0023】

【図面の簡単な説明】

【図1】本発明に係るCMOSインバータを備えた集積回路の一実施例を示すブロック図である。

【図2】CMOSインバータの一例を示す回路図である。

【図3】図1におけるIII-III線に従って電源ラインの断面構造を示す断面図である。

【図4】本発明に係るCMOSインバータを備えた集積回路の他の実施例の要部を示す断面図である。

【図5】本発明に係るCMOSインバータを備えた集積回路のさらに他の実施例の要部を示す断面図である。

【図6】本発明に係るCMOSインバータを備えた集積回路を駆動用電源として用いる液晶ディスプレイ（LC

(4)

特開平7-74322

5

6

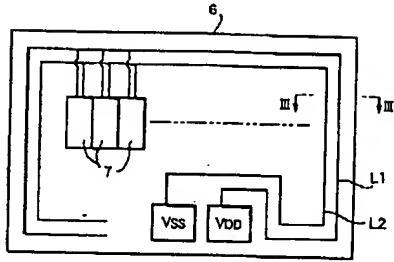
D) を示す平面図である。

【符号の説明】

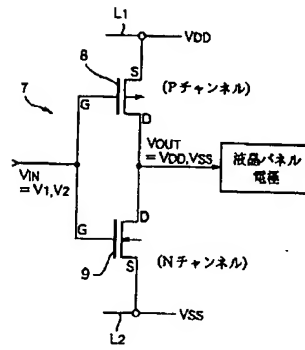
6 シリコンウェーハ
7 CMOSインバータ

VDD 第1電源
VSS 第2電源
L1 第1電源アルミニウム線
L2 第2電源アルミニウム線

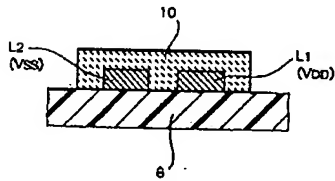
【図1】



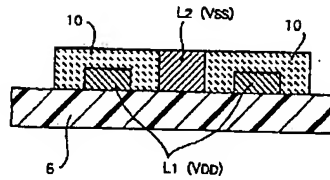
【図2】



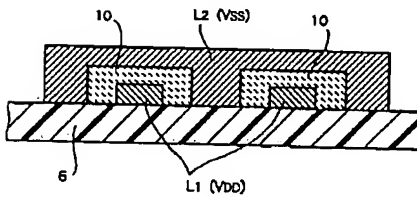
【図3】



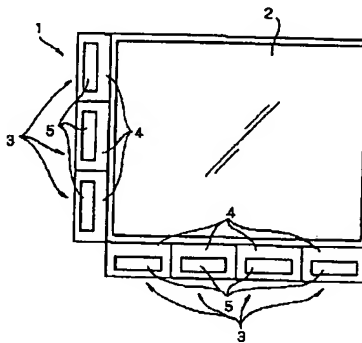
【図4】



【図5】



【図6】



フロントページの続き

(51) Int. Cl. 6

識別記号 庁内整理番号 F I

技術表示箇所

H 0 1 L 21/8238

27/092

H 0 3 K 17/16

L 9184-5 J

19/003

Z

(5)

特開平7-74322

19/0948

8321-5J

H 0 3 K 19/094

B

拒絶理由通知書

| | |
|----------|-----------------|
| 特許出願の番号 | 特願2002-035552 |
| 起案日 | 平成19年11月29日 |
| 特許庁審査官 | 濱本 禎広 3805 2G00 |
| 特許出願人代理人 | 福島 祥人 様 |
| 適用条文 | 第29条第2項、第36条 |

この出願は、次の理由によって拒絶をすべきものです。これについて意見がありましたら、この通知書の発送の日から60日以内に意見書を提出してください。

理 由

1. この出願の下記の請求項に係る発明は、その出願前に日本国内又は外国において、頒布された下記の刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

- ・請求項1, 3, 6, 8
- ・引用文献等1-2
- ・備考:

引用文献1の図2及びその説明には、Pチャンネルトランジスタ8またはNチャンネルトランジスタ9を介して電源電圧VDDまたはアース電圧VSSを液晶パネルの電極に印加するCMOSインバータ7を有する駆動回路が記載されている。

引用文献2の第1図及びその説明には、バッファ回路内のトランジスタ1a及び1bのソース・ドレイン間に容量11a及び11bを設けることでスイッチング雑音を抑制し、回路の誤動作を防止することが記載されている。

駆動回路において誤動作を生じさせないことは当該技術分野において周知の課題であるから、当該課題を解決するために、引用文献1に記載された発明におけるインバータバッファに替えて引用文献2に記載された発明における雑音を抑制するバッファ回路を採用することは当業者が容易になし得ることである。

そして、容量をトランジスタと並列に接続すれば、トランジスタの寄生容量と

配線に備わるインダクタンス成分との共振周波数が低減されることは明らかである。

引用文献等一覧

1. 特開平7-74322号公報
2. 特開平3-183211号公報

2. この出願は、特許請求の範囲の記載が下記の点で、特許法第36条第6項第1号に規定する要件を満たしていない。

記

請求項1-8に係る発明は、表示パネルの駆動回路の発明であり、高周波駆動とは限らない表示パネルも権利として含まれるものであるが、本願発明が課題とする「高周波の電磁波の輻射を抑制すること」がそのような表示パネルでは課題となり得ないことは明らかであるから、請求項1-8に係る発明は本願発明の課題を解決しない発明を含むものであり、そのような発明は発明の詳細な説明のいずれにも記載されていない。

(請求項1-8に係る発明に記載された表示パネルが高周波ノイズの抑制を課題とする表示パネルであることを明確にされたい。)

(なお、補正する際には、本願の請求項に係る発明と特願2000-160080号(特許第3369535号公報)の請求項に係る発明が特許法第39条第2項に規定される「同一の発明」とならないよう留意されたい。)

3. この出願は、特許請求の範囲の記載が下記の点で、特許法第36条第6項第2号に規定する要件を満たしていない。

記

(1) 請求項1の第2-4行には「前記スイッチング手段の寄生容量と前記第1の配線手段のインダクタンス成分とのLC共振の共振周波数を低減するために前記スイッチング手段に並列に接続される第1の周波数低減手段」と記載されているが、「共振周波数を低減するために」は、「第1の周波数低減手段」の機能ではなく目的を記載したものであり、「第1の周波数低減手段」についてどのような特定をしているのか不明確である。請求項2-4についても同様である。

(請求項1について、「第1の周波数低減手段」を機能で特定するのであれば、「前記スイッチング手段に並列に接続され、前記スイッチング手段の寄生容量と

前記第1の配線手段のインダクタンス成分とのLC共振の共振周波数を低減する第1の周波数低減手段」とされたい。)

(2) 請求項7の第1行には「保護手段」と記載されているが、引用する請求項5または6が請求項2または4を引用しない場合は、請求項7が引用する請求項のいずれにも「保護手段」が記載されておらず、その場合、請求項7に係る発明において、「保護手段」とその他の構成との関係が明らかでない。

(請求項7は請求項2または4を引用するのではないか?)

<補正等の示唆>

明細書を補正した場合は、補正により記載を変更した個所に下線を引いてください(特許法施行規則様式第13備考6)。

補正は、この出願の出願当初の明細書又は図面に記載した事項のほか、出願当初の明細書又は図面に記載した事項から自明な事項の範囲内で行わなければなりません。

補正の際には、意見書で、各補正事項について補正が適法なものである理由を、根拠となる出願当初の明細書等の記載箇所を明確に示したうえで主張してください。

この補正等の示唆は法律的效果を生じさせるものではなく、拒絶理由を解消するための一案です。明細書及び図面をどのように補正するかは出願人が決定すべきものです。

先行技術文献調査結果の記録

・調査した分野 IPC G09G3/00-3/38
 H03K17/00-17/70

・先行技術文献 特開平8-23242号公報
 特開平10-268831号公報

この先行技術文献調査結果の記録は拒絶理由を構成するものではありません。

この拒絶理由通知の内容に関するお問い合わせ、または面接のご希望がございましたら下記までご連絡下さい。

特許審査第一部 ナノ物理 奈良田新一

TEL. 03(3581)1101 内線3224

FAX. 03(3592)8858